Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе № 2**

Дисциплина: Автоматизация проектирования дискретных устройств (на английском языке)

Выполнил студент гр. 5130901/10101 \_\_\_\_\_\_\_\_\_\_\_\_\_\_ М.Т. Непомнящий

(подпись)

Руководитель \_\_\_\_\_\_\_\_\_\_\_\_\_\_ А.А. Федотов

(подпись)

Санкт-Петербург

2023

Оглавление

[1. Задача: 3](#_Toc158163890)

[2. Решение: 3](#_Toc158163891)

[2.1. Исходный код файла lab2\_3.v 3](#_Toc158163892)

[2.2. Структура из RTL viewer 5](#_Toc158163893)

[2.3. Исходный код теста 5](#_Toc158163894)

[2.4. Результаты моделирования 6](#_Toc158163895)

[2. Вывод: 7](#_Toc158163896)

# Задача:

* Описать на языке Verilog следующее устройство:



Рис. 1 – Схема устройства

**Выводы:**

1. ***Входы:***
2. *CLK* – тактовый сигнал.
3. *aRSTin* – вход асинхронного сброса (активный уровень для сброса – 1).
4. ***Выходы:***
   1. *[15:0] Dout* – выход.

**Модули:**

1. ***CNT*** – счетчик, создаваемый с помощью IP модуля LPM\_COUNTER:
2. Разрядность: 8 бит.
3. Двоичный счетчик на сложение.
4. Вход асинхронного сброса (clear).
5. ***PWR*** – модуль возведения в степень 2, создаваемый с помощью IP модуля LPM\_MULT:
6. Два входа по 8 бит.
7. Без знаковый.
8. Без конвейеризации.
9. ***RG*** – регистр, описываемый на Verilog в файле верхнего уровня:
10. arst – вход асинхронного сброса (активный уровень – 1).
11. ***DFF*** – триггеры, описываемые на Verilog в файле верхнего уровня:
    1. aset – вход асинхронно устанавливает триггер в 1.

# Решение:

## Исходный код файла lab2\_3.v

С помощью кода на языке Verilog опишем устройство, представленной на рисунке 1. Листинг кода представлен ниже:

Изображение выглядит как текст, снимок экрана, программное обеспечение, Операционная система

Автоматически созданное описание

Рис. 2 – Код файла lab2\_3.v

Данный код последовательно описывает модули, из которых состоит устройство (DFF, CNT, PWR и RG). Опишем более подробно то, как работает код:

Этот Verilog-модуль представляет собой устройство, состоящее из:

* + 1. DFF: Регистр с асинхронным сбросом, управляемый тактовым сигналом. Асинхронный сброс активен при появлении положительного фронта внешнего сигнала сброса (aRSTin).
    2. CNT: 8-битный счетчик, увеличивающийся по положительному фронту тактового сигнала (CLK). Сброс происходит при активации асинхронного сигнала сброса (arst)
    3. PWR: Умножитель (возможно, другая операция), который принимает значение счетчика Dcnt и выдает 16-битный результат (Dpwr).
    4. RG: Регистр с асинхронным сбросом, который хранит результат операции умножения (или другой операции), активируя сброс при асинхронном сигнале сброса (arst).

\*Блоки CNT и PWR созданы средствами Quartus, а в файле с кодом выше происходит лишь их инициализация для дальнейшего использования.

## Структура из RTL viewer

Скомпилируем код, представленный выше (lab2\_3.v) и откроем схему получившегося устройства в RTL viewer:

Изображение выглядит как диаграмма, линия, График, текст

Автоматически созданное описание

Рис. 3 – Структура устройства из RTL viewer

Сравнив полученную схему (рис. 3) со схемой заданного устройства (рис. 1), можем увидеть, что они имеют аналогичную структуру.

## Исходный код теста

Изображение выглядит как текст, снимок экрана, мультимедиа, программное обеспечение

Автоматически созданное описание

Рис. 4 – Код файла tb\_lab2\_3.v

Полный цикл счетчика составляет 256 тактов (от 0 до 255, т. к. разрядность счетчика 8). Таким образом два полных цикла будут составлять время = PERIOD \* 256 \* 2.

## Результаты моделирования

Для запуска проекта выполняется компиляция всех исходных файлов, включая tb\_lab2\_3.v. Далее запускается симуляция и создаётся wave.

Для шин Dcnt и Dout заданы форматы, представленные на рисунках 5–6:



Рис. 5 – Формат для шины Dcnt



Рис. 6 – Формат для шины Dout

После запуска команды run -all waveform будет выглядеть так, как показано на рисунке 7 ниже:

Изображение выглядит как снимок экрана, текст, График, Графическое программное обеспечение

Автоматически созданное описание

Рис. 7 – Результаты моделирования

Получившаяся waveform соответствует ожиданиям и устройству, описанного в задании, что свидетельствует о корректно разработанном устройстве.

# Вывод:

В ходе работы было разработано устройство в соответствии с той схемой, которая была представлена в ТЗ. Была получена схема устройства средствами RTL viewer, которая полностью совпала с заданной по условию, а полученная временная диаграмма подтвердила корректность работы устройства.

Использование средств Quartus Prime (добавление модулей при помощи IP Catalog) значительно ускорило процесс описания схемы и позволило не тратить время на написание стандартных модулей (LPM\_COUNTER и LPM\_MULT).